

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-307520

(43)Date of publication of application : 29.10.1992

(51)Int.CI. G02F 1/1343

G02F 1/133

G02F 1/136

H01L 27/12

H01L 29/784

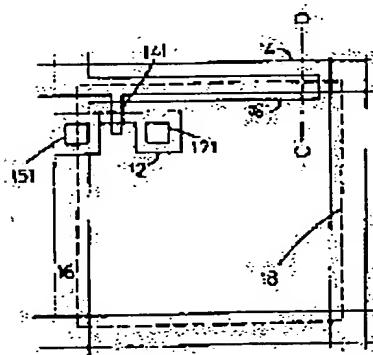
(21)Application number : 03-073024 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.04.1991 (72)Inventor : INAMI TAKASHI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To decrease the capacitance (C_{sp}) via an insulator which is the cause for induction of a level shift by crimping and laminating a specific shielding electrode between a scanning line and picture element electrode via an insulating film on both sides of a thickness direction.



CONSTITUTION: The shielding electrode 161 is connected by branching this electrode from a data line and is disposed in a region of about 95% of the laminated part of the picture element electrode 18 and the scan line 14. As the more specific laminated structure, the shielding electrode 161 is laminated on a part of the scan

line 141 via the interlayer insulating film and is, on the other hand, laminated on a part of the picture element electrode 18 via the picture element insulating film on the side

opposite from the thickness direction. Whether the entire part of the shielding electrode is to be included in the laminated part of the scan line and the picture element electrode is determined by taking the allowance of an alignment margin, opening rate and Csp quantity, etc., into consideration. The shielding electrode 161 is preferably formed of the same material as the data line deposited simultaneously with the data line 16.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-307520

(43)公開日 平成4年(1992)10月29日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 02 F 1/1343		9018-2K		
1/133	550	7820-2K		
1/136	500	9018-2K		
H 01 L 27/12	A	8728-4M		
		9056-4M	H 01 L 29/78	311 A

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21)出願番号 特願平3-73024

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成3年(1991)4月5日

(72)発明者 居波 隆志

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

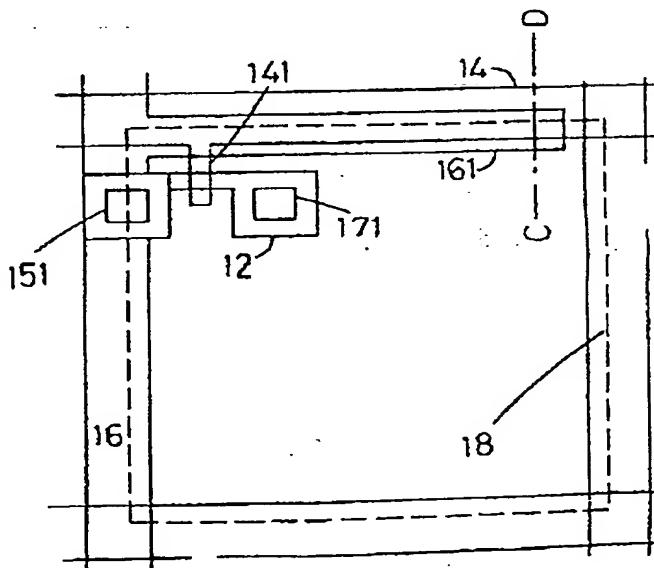
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】特にライトバルブやビューファインダなど、小型のアクティブマトリクス型液晶表示装置で充分な開口率を得る為に、絵素電極とスキャンラインとをオーバーラップさせた構造が考えられる。この場合、オーバーラップ部の容量にカップリングして絵素電位のシフトが増加し、結果的に表示特性が損われる。本発明は、この容量を低減する目的で構成される。

【構成】絵素電極とスキャンラインとの積層部分で、データラインの一部から分岐させたシールド電極を、更に絶縁膜を介して、絵素電極とスキャンラインとで挟持する。これによって、絵素電極とスキャンライン間の容量の殆んどを、絵素電極とデータライン間の容量に変換する。



(2)

(2)

423、ドレイン421とに分離されている。いわゆるセルファーライン構造である。厚み5000Åの層間絶縁膜45を全面に被着した後、ドレインスルーホール451部分の層間絶縁膜45とゲート絶縁膜43とを除去し、更にこの上にデータライン46を設ける事によって、ドレイン421とデータライン46とが接続されている。データライン46は、アルミニウムなどやはり遮光性の金属薄膜4000Åの被着とバーニングとで形成されている。絵素絶縁膜47は、全面に2μmの厚みで被着された後、ソーススルーホール471部分が除去される。更に同じ部分の層間絶縁膜とゲート絶縁膜とを除去した後に絵素電極48が被着、バーニングされ、ソース423と接続されている。絵素電極48は、隣接する絵素電極とのギャップを、スキャンラインあるいはデータラインの上に限定する様にバーニングされており、この結果、スキャンラインとデータラインとで遮光された部分以外の全領域の液晶に対する制御を可能にしている。

【0005】以上が、開口率の向上を主たる目的として構成したアクティブマトリクス型液晶表示装置の従来例である。

【0006】

【発明が解決しようとする課題】上記従来例に示した構造においては、トランジスタのゲートに接続されたスキャンラインと、同じトランジスタのソースに接続された絵素電極との積層部分が存在し、この間で、絶縁膜を介した容量（以下C_{SP}と呼ぶ）が形成される。よく知られている様に、C_{SP}は、トランジスタのチャネル部分でゲートとソースとの間に形成される容量（以下C_{ss}と呼ぶ）と共に、絵素電位の片側方向へのシフト（以下レベルシフトと呼ぶ）の原因になっている。2回の垂直走査期間内でのレベルシフトの様子を、他の電位と共に図7に示す。71がトランジスタのゲート電位であり、選択期701から保持期702へと移行するとき、ゲート電位71のパルス高に比例して、絵素電位72は、この場合負の方向へレベルシフト721の分だけ移動する。図7は1垂直走査期間毎に絵素電位を反転しているが、この反転に拘らず、いずれの走査期間も同一方向にレベルシフトが起こり、液晶層を挟んで反対側にある共通電極の共通電位73を、レベルシフトを含んだ絵素電位のセンターに合わせる必要がある。しかし、レベルシフトは、液晶層の容量に依存する。そして、液晶層の容量は、透過光や散乱光の制御状態に依って異なる。つまり、表示の状態によってレベルシフトの量は異なり、共通電位を合わせるべき絵素電位のセンターを一律に決定することはできない。この様にして発生した共通電位と絵素電位のセンターとの電位差は、表示特性に対し、コントラストの低下、フリッカーの発生といった影響を及ぼし、更に液晶層の長時間動作安定性を阻害する。

【0007】

【特許請求の範囲】

【請求項1】各絵素毎に設けられたトランジスタのゲートに接続されるスキャンラインと、該トランジスタのソースに接続される絵素電極とが絶縁膜を介した積層部分を有するアクティブマトリクス型液晶表示装置に於て、上記積層部分の全部または一部に、データラインに接続されかつデータラインから分岐して成るシールド電極が、厚さ方向の両側に絶縁膜を介し、スキャンラインと絵素電極との間に挟持して積層されている事を特徴としたアクティブマトリクス型液晶表示装置。

【請求項2】請求項1に記載のシールド電極が、データラインと同時に被着された、データラインと同一の材料によって形成されているものである事を特徴とした、アクティブマトリクス型液晶表示装置。

【請求項3】請求項1に記載のトランジスタとして、多結晶シリコン薄膜トランジスタを用いる事を特徴とした請求項1記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に属し、その中でも各絵素毎にトランジスタを有するアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置を構成する各絵素では、その中に設けられた絵素電極と対向電極とで挟まれた部分の液晶だけが、印加された電圧や電流に応答して透過光あるいは散乱光などを制御する事ができる。この場合、絵素電極の無い部分が充分に遮光されていなければ、制御できない光の漏れが発生し、表示装置のコントラストが低下する。この事を抑止する為には、絵素電極の無い部分にあらたに遮光膜を積層して設けるか、あるいは、絶縁膜を介して、遮光性のスキャンラインとデータラインそれぞれに絵素電極を被せる必要がある。前者の方法では、いわゆるアライメントマージンを考慮した設計によって、遮光性膜の無い部分の比率（以下開口率と呼ぶ）が低下する。

【0003】以下、従来技術の一例として、開口率を上げる為、遮光性のスキャンラインとデータラインそれぞれに、絶縁膜を介して絵素電極を被せた構造のアクティブマトリクス型液晶表示装置について説明する。図4はその略平面図、図5は図4にあるA-B間断面図、図6はC-D間断面図である。

【0004】光透過性の基板41上には、厚さ250Åの半導体層42が島状にバーニングされて配され、その上には厚さ3000Åのゲート絶縁膜43が全面に被着されている。半導体層の一部と交差する形の分岐部分441を備えたスキャンライン44は、クロム等の遮光性金属薄膜3000Åの被着とバーニングによって形成され、この後にBやPなどのイオン打ち込みを行った結果、半導体層42は、チャネル部分422と、ソース

【課題を解決するための手段】本発明では、そもそもレベルシフトを誘発する原因である C_{s1} と C_{s2} のうち C_{s1} を大幅に低減する為、スキャンラインと絵素電極との絶縁膜を介した積層部分の全部または一部に、データラインに接続されかつデータラインから分岐したシールド電極を、厚さ方向の両側に絶縁膜を介し、スキャンラインと絵素電極との間に挟持して積層する。

【0008】

【実施例】以下、本実施例を適用したアクティブマトリクス型液晶表示装置の実施例を説明する。図1はその略平面図、図2は図1のC-D間断面図である。

【0009】光透過性の基板11、半導体層12、ゲート絶縁膜13、分岐部分141を備えたスキャンライン14、層間絶縁膜15とそのドレンスルーホール151、絵素絶縁膜17とそのソーススルーホール171、および絵素電極18は、本実施例では前出の従来例と同じ構成である。本発明の適用によって直接変更されたのは、シールド電極161が新たに配された点である。このとき、シールド電極が、データライン16と同時に被着された、データラインと同一の材料によって形成されるものであれば、プロセスを追加する事無くシールド電極が設けられる事になる。これはプロセスの簡略化を目的とした請求項2に属する発明の実施例である。シールド電極は、データラインと分岐して接続し、絵素電極18とスキャンライン14との積層部分の約95%の領域に配した。100%にならないのは、隣接するデータラインとの短絡を避ける為である。具体的な積層構造としては、図2に示す様に、シールド電極161を、層間絶縁膜15を介してスキャンライン141の一部と積層し、一方、厚さ方向の反対側では、絵素絶縁膜17を介して絵素電極18の一部と積層する。スキャンラインと絵素電極との積層部分に、シールド電極の全部を含むか、あるいは一部分を含むかは、アライメントマージンの余裕、開口率、低減される C_{s1} の量などを考えて決めるべきである。これに合わせて、データライン16（シールド電極161を含む）以外の構成要素についても必要に応じてディメンジョンを最適化すれば良く、本実施例と従来例との関係は特許請求の範囲を更に規定するものではない。

【0010】次に、これまでに説明してきた実施例について、更に詳細な構成例を示し、特に寄生容量の具体的な数値を例示する。1絵素のピッチは $72\mu\text{m} \times 72\mu\text{m}$ とした。

【0011】半導体層12は多結晶シリコンで形成する。形成方法としては、LPCVD法や、これにレーザアニールまたは固相成長など結晶化の促進を加える方法もある。膜厚は 250Å である。半導体層として多結晶シリコンを用いる目的は、以降で経るイオン打込プロセスによるソースドレイン形成を容易にし、セルファーライン構造として前出の C_{s1} を低減させる為であるが、 C_{s1}

(3)

4

の低減を実現しても並列に存在する C_{s2} によってその効果がうすい場合に有効な手段となる。これは請求項1の効果を補填する目的で、請求項3に記載した範囲に属する。本実施例は請求項3を含んでおり、ゲート絶縁膜を厚み 3000Å の酸化シリコンとした場合、 C_{s2} は約 0.5fF (フェムトファラード) に留まっている。

【0012】スキャンライン14とシールド電極161とは、層間絶縁膜である厚さ 5000Å の酸化シリコンを介して積層される部分で、データラインとスキャンラインとのクロス容量（以下 C_{cr} と呼ぶ）の一部となり、このとき C_{cr} は約 16fF になる。またシールド電極161と絵素電極18とが積層された部分も、絵素絶縁膜17を介して容量を形成し、絵素電極とデータラインとの容量（以下 C_{sc} と呼ぶ）の一部となる。絵素絶縁膜には、コーティングと加熱イミド化によって形成された厚さ $2\mu\text{m}$ のポリイミドを用いたが、これは、被着の容易さ、基板上の平坦化および低誘電率材料である事などを考慮して選択した例である。例えばこの比誘電率を ϵ_{ri} が 2.5 であるれば、 C_{sc} は約 4fF である。

【0013】 C_{cr} はデータラインやスキャンラインの伝達特性の遅延を誘発するが、例えばHDTVやIBMのXGAなどの高速走査に応用了した場合でも、本実施例の値は問題となる範囲ではない事が判っている。これはアルミニウムやクロムのシート抵抗と浮遊容量、更に表示装置自体の大きさなどにも依存する。

【0014】 C_{sc} は、絵素の液晶容量 (C_{lc} と呼ぶ、本実施例では 30 から 80fF 程度まで、表示状態に依存して変化する) と直列に接続されたかたちで、データラインと共通電極との間の電位を分割する。つまり、 C_{sc} によって液晶に加わる実効電圧が低下する事になる。本実施例で低下する実効電圧は、一般的な駆動環境下では数百mVであり、これをデータ電圧によって補正した場合でも、他の絵素へのデータ電圧印加状態などに起因した実効電圧の振れ（データクロストークと呼ぶ）が残留する。本実施例ではこれが 20mV 程度となり、表示特性を損うまでには至っていない。

【0015】上述した様に、従来 C_{s1} として形成されていた容量の殆んどを C_{cr} と C_{sc} とに変換した本実施例では、増加した C_{cr} や C_{sc} による表示特性の低下が無視できる範囲に留まっている一方、 C_{s2} は約 0.2fF と従来の 20 分の 1 にまで低減されている。この結果、 C_{s1} と C_{s2} との並列合成容量は約 0.7fF となり、前出の絵素電位のレベルシフト自体が約 200mV 以下に抑えられる。更に、共通電位を調整する事によって、絵素電位センターと共通電位との差（表示状態で変化する液晶の容量に依存）を $\pm 70\text{mV}$ 程度と、表示特性に対して殆んど影響を及ぼさない範囲にまで低減している。

【0016】

【発明の効果】上記実施例に代表される様に、本発明をアクティブマトリクス型液晶表示装置に適用した結果、

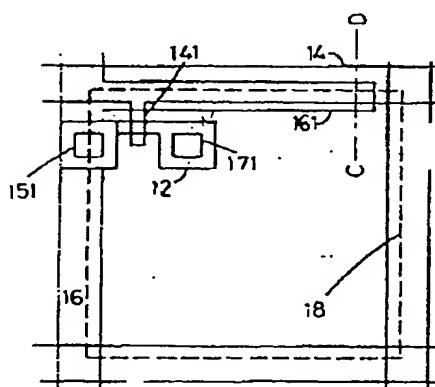
C_{sr} が減少する。そして図3のタイムチャートに示する通り、絵素電位32のレベルシフト321自体が減り、同時に液晶層の制御状態に依って異なるレベルシフト量の差も低減される事になる。本実施例ではこの差が140mV程度に抑えられており、絵素電位32のセンターに共通電位33を±70mVの範囲で設定できた事によって、表示特性として、コントラストの低下やフリッカの発生を問題のない程度にまで抑制する事が可能になっている。更に、表示状態によって液晶層に加わるDC電圧が減少する事は、液晶層の長時間動作安定性向上させる事になる。

【0017】尚、本実施例では、1垂直走査期間毎に絵素電位を反転させる駆動方式を例示したが、2以上の複数走査期間毎の反転であっても同様の効果が得られ、データライン毎あるいはスキャンライン毎の反転を加えた駆動方式に対しても有効である。

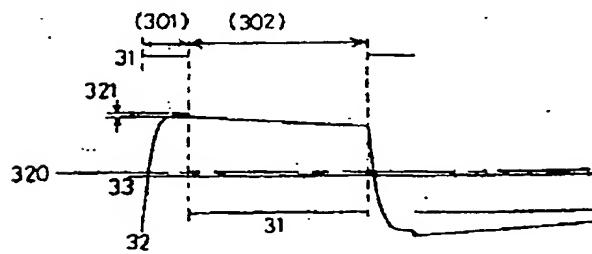
【図面の簡単な説明】

【図1】本発明を適用したアクティブマトリクス型液晶

【図1】



【図3】



(4)

(4)

6

表示装置の1絵素を拡大した略平面図。

【図2】図1に示したC-D間の断面図。本発明が適用された部分である。

【図3】本発明を実施する事によって得られた絵素電位を示したタイムチャート。他の電位も同じスケールで重ね、2垂直走査期間について表した。

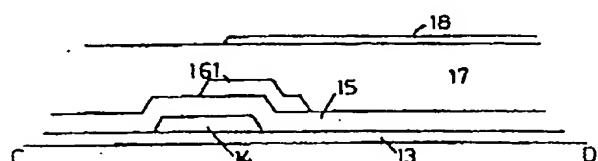
【図4】従来の技術に従って構成されたアクティブマトリクス型液晶表示装置の1絵素を拡大した略平面図。

【図5】図1に示したA-B間の断面図。トランジスタ部分の積層構造を示す。本発明の適用によって特に大きく変更される部分はない。

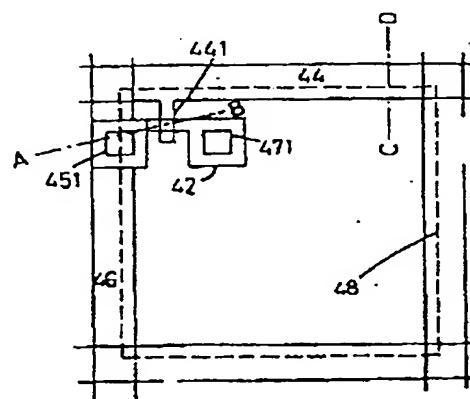
【図6】図1に示したC-D間の断面図。本発明の適用によって変更される部分の従来例である。

【図7】従来の技術によって構成されたアクティブマトリクス型液晶表示装置を駆動した場合の絵素電位を示したタイムチャート。他の電位も同じスケールで重ね、2垂直走査期間について表した。

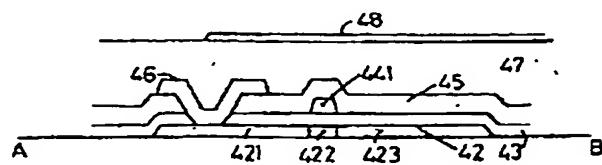
【図2】



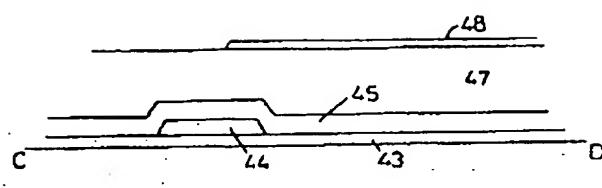
【図4】



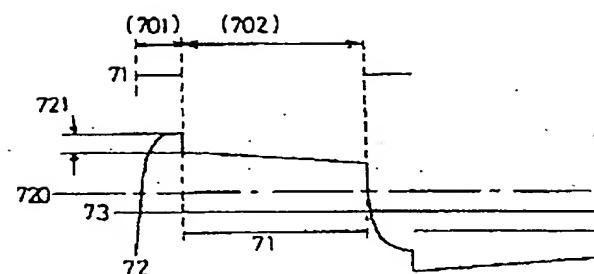
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 5

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784